

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-066897

(43)Date of publication of application : 05.03.2003

(51)Int.Cl. G09G 3/28
G09G 3/20
H04N 5/66

(21)Application number : 2002-166068

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 06.06.2002

(72)Inventor : YAMADA KAZUHIRO

(30)Priority

Priority number : 2001176581

Priority date : 12.06.2001

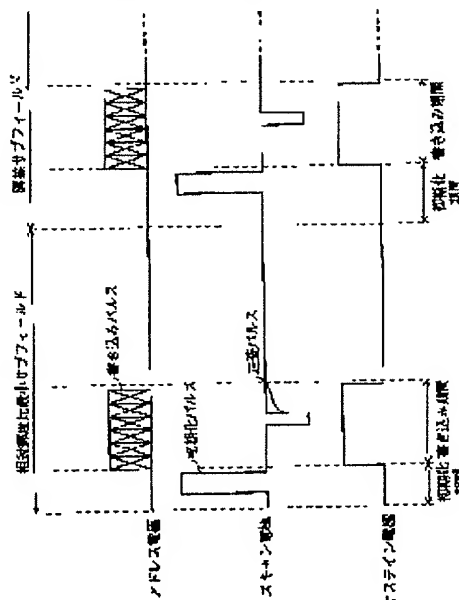
Priority country : JP

(54) PLASMA DISPLAY PANEL DISPLAY DEVICE AND ITS DRIVING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a PDP display device and its driving method for showing superior performance for a multi-gradation display, specially, a low-gradation display.

SOLUTION: Paying attention to about 1.2 cd/m² light emission luminance by an initialization pulse and write discharging, a subfield whose relative luminance ratio corresponds to the minimum weighting in one frame is composed of two periods, i.e., an initialization period and a write period as shown in a driving waveform process in Fig. 1, and a maintenance pulse is applied to neither of display electrodes 4 and 5 unlike before. Thus, the subfield is composed of the initialization period an write period and then the phase-to-luminance ratio of the panel is reducible to almost 1/2 time as large as the relative luminance ratio of the conventional panel.



LEGAL STATUS

[Date of request for examination]

16.05.2005

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-66897

(P2003-66897A)

(43) 公開日 平成15年3月5日(2003.3.5)

(51) Int.Cl. ⁷	識別記号	F I	テームコード*(参考)
G 0 9 G 3/28		C 0 9 G 3/20	6 1 2 U 5 C 0 5 8
3/20	6 1 2		6 2 4 L 5 C 0 8 0
	6 2 4		6 4 1 E
	6 4 1		6 4 1 C
		H 0 4 N 5/66	1 0 1 B
審査請求 未請求 請求項の数 9 O L (全 15 頁) 最終頁に続く			

(21) 出願番号 特願2002-166068(P2002-166068)

(22) 出願日 平成14年6月6日(2002.6.6)

(31) 優先権主張番号 特願2001-176581(P2001-176581)

(32) 優先日 平成13年6月12日(2001.6.12)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山田 和弘

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人 100090446

弁理士 中島 司朗

Fターム(参考) 5C058 AA11 BA02 BA05 BA07 BB03

5C080 AA05 BB05 CC03 DD01 EE19

EE29 FF12 GG08 HH04 HH05

HH06 HH07 JJ01 JJ02 JJ04

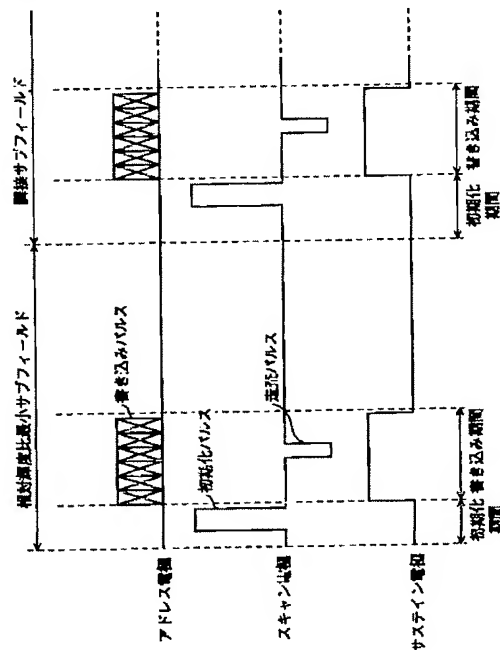
JJ06

(54) 【発明の名称】 プラズマディスプレイパネル表示装置とその駆動方法

(57) 【要約】

【課題】 多階調表示を行う際に、特に低階調表示時において優れた性能を呈することが可能なPDP表示装置とその駆動方法を提供する。

【解決手段】 初期化パルスと書き込み放電による発光輝度が約1.2cd/m²も得られることに着眼して、図1の駆動波形プロセスに示すように、1フレーム中において相対輝度比が最小の重み付けに対応するサブフィールドは、初期化期間と書き込み期間の2期間で構成し、従来のように表示電極4、5に維持パルスを印加しないものとした。このようにして、サブフィールドを初期化期間と書き込み期間の2期間で構成することにより、パネルの相対輝度比を従来のパネルの相対輝度比の約1/2に低減する。



【特許請求の範囲】

【請求項1】 重み付けの異なる複数のサブフィールドにより1フレームを構成して多階調表示を行うPDP表示装置の駆動方法であって、

相対輝度比が最小の重み付けに対応するサブフィールドでは、初期化期間および書き込み期間の2期間の放電を行うことによって表示することを特徴とするPDP表示装置の駆動方法。

【請求項2】 マトリクス状に複数のセルが配されたPDP部を備えるPDP表示装置の駆動方法であって、第一フレーム中の相対輝度比が最小の重み付けに対応する第一サブフィールドでは、書き込み期間において、相対輝度比が最小の表示領域から選択した第一のセル群について放電させ、

前記第一のフレームに続く第二のフレーム中の相対輝度比が最小の重み付けに対応する第二のサブフィールドでは、前記相対輝度比が最小の表示領域において、前記第一のサブフィールドで放電させなかった第二のセル群を放電させることを特徴とする請求項1に記載のPDP表示装置の駆動方法。

【請求項3】 1フレーム中で相対輝度比が2番目に小さいサブフィールドでは、初期化期間および書き込み期間の2期間の放電で表示を行うことを特徴とする請求項2に記載のPDP表示装置の駆動方法。

【請求項4】 1フレーム中で相対輝度比が最小のサブフィールドに続く次のサブフィールドでは、初期化期間において漸増形状を含む初期化パルスを印加することを特徴とする請求項1に記載のPDP表示装置の駆動方法。

【請求項5】 前記漸増形状は、傾斜状、ステップ状、指数関数曲線状、三角関数曲線状の中から選ばれた形状であることを特徴とする請求項3に記載のPDP表示装置の駆動方法。

【請求項6】 第一基板の表面には複数対の表示電極が形成され、第二基板の表面には複数のデータ電極と、当該各データ電極の長手方向に沿って複数の隔壁が併設され、隣接する二つの隔壁間に蛍光体層が形成され、表示電極とデータ電極の各長手方向が交差するように、第一基板と第二基板の主面を対向させてなるPDP部を備え、重み付けの異なる複数のサブフィールドからなるフレームを有する駆動波形プロセスに基づいて、任意の対の表示電極および任意のデータ電極に電圧印加してPDP部を駆動するパネル駆動部を備えたPDP表示装置であって、1フレーム中で相対輝度比が最小のサブフィールドは、初期化期間および書き込み期間の2期間で構成され、前記パネル駆動部は当該両期間に合わせてデータ電極および複数対の表示電極に電圧印加する構成であることを特徴とするPDP表示装置。

【請求項7】 前記PDP部は、表示電極とデータ電極の各長手方向の交差部分に対応してセルがそれぞれ配列されており、

第一フレーム中の相対輝度比が最小の重み付けに対応する第一サブフィールドでは、相対輝度比が最小の表示領域の隣接セルを書き込み期間で一つ置きに放電させ、前記第一のフレームに続く第二のフレーム中の相対輝度比が最小の重み付けに対応する第二のサブフィールドでは、前記相対輝度比が最小の表示領域において、前記第一のサブフィールドで放電させなかったセルを放電させる構成であることを特徴とする請求項6に記載のPDP表示装置。

【請求項8】 前記PDP部は、1フレーム中で相対輝度比が最小のサブフィールドに続く次のサブフィールドでは、初期化期間において漸増形状を含む初期化パルスを印加する構成であることを特徴とする請求項6に記載のPDP表示装置。

【請求項9】 前記漸増形状は、傾斜状、ステップ状、指数関数曲線状、三角関数曲線状の中から選ばれた形状であることを特徴とする請求項8に記載のPDP表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、プラズマディスプレイパネル表示装置とその駆動方法に関する。

【0002】

【従来の技術】プラズマディスプレイパネル(PDP)表示装置は、2枚の薄いフロントパネルガラスおよびバックパネルガラスを、複数の隔壁を介して対向させ、当該複数の隔壁の間にそれぞれ赤(R)、緑(G)、青(B)各色の蛍光体層を配し、両ガラス板の間隙である放電空間に放電ガスを封入してなるPDP部を持つ。フロントパネルガラス側にはスキャン電極およびサステイン電極を一对とする表示電極が複数対形成されている。またバックパネルガラス側には、放電空間をはさんで表示電極と直交するように、複数のアドレス電極が並設されている。これらの各電極には後述するサブフィールドにおいて、例えば図15に示す駆動波形プロセスに基づき、初期化パルス、走査パルス、書き込みパルス、維持パルス、消去パルス等の各パルスが印加されるようになっており、放電ガス中に発生した放電によって蛍光発光する。このような構成を持つPDP表示装置は大画面化しても従来のディスプレイのCRTのように興行き寸法や重量が増大しにくく、また視野角が限定されることがないという点で優れている。

【0003】このようなPDP表示装置は、大画面化・高精細化が求められるようになっており、現在では50インチ以上のものが商品化されるに至っている。ところでテレビ映像をディスプレイで表示する場合、アナログカラーテレビ映像信号方式では、1秒間に60枚のフレーム(フィールド)で構成されている。元来PDP表示装置では、基本的に点灯か消灯のいずれかでしか映像表示できないので、図16のフレーム構成図に示すように、赤(R)、緑(G)、青(B)の各色に対応する点灯時間を

時分割し、例えば1(TV)フレームを構成する8個のサブフィールドの組み合わせによって複数の階調表示時を行い、中間色を表示する方法が用いられている。この8個の各サブフィールドにおける相対輝度比は昇順に1、2、4、8、16、32、64、128のようにしてバイナリで重み付けし、この8ビットの相対輝度比が異なる重み付けの組み合わせによって、例えば合計256階調(0階調~255階調)を表現する。また実動作時に十分な明るさを確保するために、各サブフィールドの放電維持期間内に印加する維持パルス数を、前記重み付けにほぼ比例させている。上記相対輝度比順に3、7、15、31、63、127、255、511であるとする(以降、「0階調」「1階調」「2階調」~「8階調」等の記述は、合計256階調中に含まれる特定の階調を示すものとする。)

【0004】

【発明が解決しようとする課題】以上の特徴をもつPDP表示装置ではあるが、低階調表示時において以下のような問題がある。すなわち、一般的にディスプレイでは階調表示が低階調になるほど相対輝度比を小さくするようにするのが望ましく、こうすることによって暗い階調表示を滑らかに表現することができるとされている。上記合計256階調のうち、0階調と、相対輝度比が最小の重み付けに対応する1階調を表示する場合、その階調差が示す輝度比は、CRTでは $0\text{cd}/\text{m}^2$ に近く、滑らかな階調表示時が可能になっている。ところがPDP表示装置では、0階調表示と1階調表示の輝度比は $2\text{cd}/\text{m}^2$ 以上もあり、CRTのように滑らかな輝度変化を表現することが困難である。

【0005】これに対して、維持パルスの比率を低階調側でより低く設定すれば、1階調表示時における維持パルスによって得られる発光は抑えられるが、初期化パルス、書き込みパルス、消去パルスによる発光は残るので大幅に輝度を落とすことはできない。また誤差拡散処理(ディザ法)により擬似的に階調表示しようとしても、階調がもともと低い理由から画面に誤差拡散ノイズのザラツキ感が目立ってしまい、誤差拡散の有効な効果が得られずに、かえって画質が劣化するという新たな問題が発生する。

【0006】本発明は上記課題を鑑みてなされたものであって、多階調表示を行う際に、特に低階調表示時において優れた性能を呈することが可能なPDP表示装置とその駆動方法を提供することを目的とする。

【0007】

【課題を解決するための手段】上記課題を解決するために、本発明は、重み付けの異なる複数のサブフィールドにより1フレームを構成して多階調表示を行うPDP表示装置の駆動方法であって、相対輝度比が最小の重み付けに対応するサブフィールドでは、初期化期間および書き込み期間の2期間の放電を行うことによって表示するものとした。

【0008】この駆動方法によれば、相対輝度比が最小

であるサブフィールドにおける発光輝度は、初期化期間における発光と書き込み期間における発光のみで表示することになり、維持期間および消去期間における各放電が不要になる。このことから本発明では、相対輝度比が最小であるサブフィールドにおける発光輝度が、従来に比べて1/2程度と飛躍的に低く抑えられるので、これに基づいて合計256階調のうち、0階調から1階調表示時における低階調の変化を滑らかに表示することができる。

【0009】また本発明は、マトリクス状に複数のセルが配されたPDP部を備えるPDP表示装置の駆動方法であって、第一フレーム中の相対輝度比が最小の重み付けに対応する第一サブフィールドでは、書き込み期間において、相対輝度比が最小の表示領域から選択した第一のセル群について放電させ、前記第一のフレームに続く第二のフレーム中の相対輝度比が最小の重み付けに対応する第二のサブフィールドでは、前記相対輝度比が最小の表示領域において、前記第一のサブフィールドで放電させなかった第二のセル群を放電させることもできる。

【0010】この駆動方法によれば、相対輝度比が最小に重み付けに対応するサブフィールドの表示領域を、2つのフレームでそれぞれ部分的に分担して点灯することになり、1フレーム中の相対輝度比が最小の重み付けに対応するサブフィールドにおける発光量が従来の1/4程度にまで低減できる。したがってこの駆動方法を用いれば、0階調から1階調表示時における暗い発光をさらに滑らかに表示することができる。

【0011】また、これに加えて1フレーム中で相対輝度比が2番目に小さいサブフィールドでは、初期化期間および書き込み期間の2期間の放電で表示を行えば、前記2つの連続するサブフィールドで、相対輝度比が最小の重み付けに対応する発光と、重み付けが次に小さい発光とをそれぞれ従来よりも暗い表示で滑らかに行うことが可能となり、優れた複数の低階調表示時が実現される。

【0012】さらに本発明は、1フレーム中で相対輝度比が最小のサブフィールドに続く次のサブフィールドでは、初期化期間において漸増形状を含む初期化パルスを印加することもできる。この方法によれば、相対輝度比が最小の重み付けに対応したサブフィールドに起因する壁電荷を、これに続く次のサブフィールドの初期化放電で徐々に初期化することができ、明るい誤放電が生じるのを効果的に防止できるので、相対輝度比が最小の重み付けに対応した階調表示から、次の階調表示へ滑らかに移行することが可能となり、良好な表示性能が発揮される。

【0013】なお初期化パルスの漸増形状は、前記漸増形状は、傾斜状、ステップ状、指数関数曲線状、三角関数曲線状の中から選ばれた形状とすることができる。さらに本発明は、第一基板の表面には複数の対の表示電極が形成され、第二基板の表面には複数のデータ電極と、当

該各データ電極の長手方向に沿って複数の隔壁が併設され、隣接する二つの隔壁間に蛍光体層が形成され、表示電極とデータ電極の各長手方向が交差するように、第一基板と第二基板の主面を対向させてなるPDP部を備え、重み付けの異なる複数のサブフィールドからなるフレームを有する駆動波形プロセスに基づいて、任意の対の表示電極および任意のデータ電極に電圧印加してPDP部を駆動するパネル駆動部を備えたPDP表示装置であって、1フレーム中で相対輝度比が最小のサブフィールドは、初期化期間および書き込み期間の2期間で構成され、前記パネル駆動部は当該両期間に合わせてデータ電極および複数対の表示電極に電圧印加する構成とすることもできる。

【0014】

【発明の実施の形態】<実施の形態1>

1-1. PDP表示装置の構成

本実施の形態1のPDP表示装置は、PDP部1と、これを駆動させるパネル駆動部20とからなる。

【0015】図12は、本実施の形態1における交流面放電型PDP部の主要構成を示す部分的な断面斜視図である。図中、z方向がPDP部の厚み方向、xy平面がPDP部のパネル面に平行な平面に相当する。当図に示すように、本PDP部1は互いに主面を対向させて配設されたフロントパネルFPおよびバックパネルBPから構成される。フロントパネルFPの基板となるフロントパネルガラス2には、その片側の主面に一対をなす2つの表示電極4、5（スキヤン電極4、サステイン電極5）がx方向に沿って複数対構成並設され、それぞれ一対の表示電極4、5間で面放電を行うようになっている。表示電極4、5は、ここでは一例としてAgにガラスを混合し、焼成してなる金属電極としているが、それぞれ帯状のITOからなる透明電極の上にバスラインを配した構成としてもよい。

【0016】スキヤン電極4は、各個が電気的に独立して給電されるようになっている。またサステイン電極5は、各個がすべて電気的に同電位になるように接続されている。上記表示電極4、5を配設したフロントパネルガラス2の主面には、絶縁性ガラス材料からなる誘電体層6と酸化マグネシウム（MgO）からなる保護層7が順次コートされている。

【0017】バックパネルBPの基板となるバックパネルガラス3には、その片側主面に複数のアドレス電極11がy方向を長手方向として一定間隔でストライプ状に並設されている。このアドレス電極11はAgとガラスを混合し、焼成してなる。アドレス電極11を配設したバックパネルガラス3の主面には、絶縁性材料からなる誘電体層10がコートされる。誘電体層10上には、隣接する2つのアドレス電極11の間隙に合わせて隔壁8が配設される。そして、隣接する2つの隔壁8の各側壁とその間の誘電体層10の面上には、赤色（R）、緑色（G）、青色（B）の何れかの色に対応する蛍光体層9R、9G、9Bが形成される。

【0018】なお当図では、蛍光体層9R、9G、9Bのx方向幅を同一サイズで示しているが、これらの各蛍光体の輝度バランスを取るために特定の色の蛍光体層のx方向幅を広く取ることがある。このような構成を有するフロントパネルFPとバックパネルBPは、アドレス電極11と表示電極4、5の互いの長手方向が直交するように対向させられる。

【0019】フロントパネルFPとバックパネルBPは、フリットガラス等の低融点ガラスを含む封止部材により、それぞれの周縁部にて封止され、両パネルFP、BPの内部が密閉されている。このように封止されたフロントパネルFPとバックパネルBPの内部には、Xe等の希ガスを組成に含む放電ガス（封入ガス）が所定の圧力（通常40kPa～66.5kPa程度）で封入される。

【0020】これにより、フロントパネルFPとバックパネルBPの間において、誘電体層6と蛍光体層9R、9G、9B、および隣接する2つの隔壁8で仕切られた空間が放電空間12となる。また、隣り合う一対の表示電極4、5と、1本のアドレス電極11が放電空間12を挟んで交叉する領域が、画像表示にかかるセル（不図示）となる。ここで図13は、PDP部の複数対の表示電極4、5（N行）と複数のアドレス電極11（M行）が形成するマトリクスを示す。

【0021】駆動時には各セルにおいて、アドレス電極11と表示電極4、5のいずれかの間で放電が開始される。一対の表示電極4、5同士での放電では短波長の紫外線（Xe共鳴線、波長約147nm）が発生し、この紫外線を受けて蛍光体層9R、9G、9Bが可視光発光する。次に、PDP部を駆動するためのパネル駆動部の構成について説明する。図14は、当該パネル駆動部の構成図である。

【0022】当図に示すパネル駆動部20は、各アドレス電極11と接続されたアドレスドライバ203、各スキヤン電極4と接続されたスキヤンドライバ201、各サステイン電極5と接続されたサステインドライバ202、およびこれらのドライバ201～203の動作を制御するパネル駆動回路200等からなる。パネル駆動回路200には、維持パルス発生タイミング制御装置21、主制御回路22、およびクロック回路23等が内蔵されている。

【0023】クロック回路23は内部にクロック（CLK）発生部およびPLL（Phase Locked Loop）回路を内蔵しており、所定のサンプリングクロックすなわち同期信号を発生し、主制御回路22およびパルス制御装置21に送るようになっている。主制御回路22には、PDP部10の外部より入力される映像データを一定期間記憶するフレームメモリである記憶部、および記憶した画像データを順次取り出し、ガンマ補正処理などの画像処理を行うための複数の画像処理回路（不図示）が内蔵されている。主制御回路22には、クロック回路23より発生した同期信号が送られ、この同期信号に基づいて、画像情報が主制御回路22に取り込まれ、各種画像処理が行われる。画像処理後の画像データは、各ドライバ201～203内のドライブ素子

回路2011、2021、2031へと送られる。主制御回路22は、ドライブ素子回路2011、2021、2031の制御も併せて行う。

【0024】パルス制御装置21はパルスを発生するタイミングを制御するものであり、公知のシーケンスコントローラとマイクロコンピュータを内蔵している。そしてクロック回路23の同期信号に基づき、前記マイクロコンピュータの制御プログラムによって、スキヤンドライバ201、サステインドライバ202およびアドレスドライバ203のそれぞれに所定のタイミングで、駆動波形プロセスのシーケンスに基づく初期化パルス、走査パルス、書き込みパルス、維持パルス、消去パルス等の各種パルス（TRG scn、TRG sus、TRG data）を送る。これにより、表示電極4、5およびアドレス電極11に所定形状のパルス電圧が印加され、画面表示がなされる。

【0025】駆動波形プロセスのシーケンスに基づく各パルスの波形およびその出力タイミングは、前記マイクロコンピュータにより制御される。駆動波形プロセスのシーケンスは、パルス制御装置21中のマイクロコンピュータ中において、主制御回路22から送られた画像処理後の画像データを処理して形成される。スキヤンドライバ201、サステインドライバ202、アドレスドライバ203は、一般的なドライバIC（例えばデータドライバ；NEC μ PD16306A/B、スキヤンドライバ；TI SN755854を用いることができる）で構成されており、それぞれ内部にパルス出力装置2010、2020、2030と、ドライブ素子回路2011、2021、2031を備えている。各パルス出力装置2010、2020、2030は、それぞれ個別に外部の高圧直流電源から送電されるように接続されており、この高圧直流電源から得た所定の値の電圧（VCC scn、VCC sus、VCC data）を、前記パルス制御装置21から送られるパルス（in scn、in sus、in data）に基づいてドライブ素子回路2011、2021、2031側へ出力する（out X、out Y、out）。1-2. 基本的な駆動波形プロセス

続いて、従来のPDP表示装置の基本的な駆動波形プロセスの流れについて説明する。なお一般的なPDP表示装置の駆動波形プロセスの詳細については特開平6-186927号公報、特開平5-307935号公報などに開示されている。

【0026】図15に示すようにPDP表示装置の駆動波形プロセスでは、サブフィールド中で初期化期間、書き込み期間、維持期間、消去期間という一連のシーケンスを経るようになっている。駆動時には、まず初期化期間においてサブフィールドでスキヤン電極4に初期化パルスを印加し、セルの壁電荷を初期化する。

【0027】次に書き込み期間において、y方向最上位（PDP部1の最上位）のスキヤン電極4に走査パルスを、サステイン電極5に書き込みパルスをそれぞれ印加し、書き込み放電を行う。これにより、上記スキヤン電極4とサステイン電極5に対応する各セルの誘電体層6の表面に壁電荷を蓄積する。これと同様に、上記最上位に続く

2番目以降のスキヤン電極4とサステイン電極5にそれぞれ走査パルスと書き込みパルスを印加し、各セルに対応する誘電体層6の表面に壁電荷を蓄積する。これをフロントパネルFPに配したすべての表示電極4、5について行い、1画面分の潜像を書き込む。

【0028】次に維持期間において、アドレス電極11を接地し、スキヤン電極4とサステイン電極5に交互に維持パルスを印加する。これにより書き込みパルスによって選択された表示セルでは、誘電体層6の表面電位が放電開始電圧（Vf）を上回り、一対の表示電極4、5間隙で維持放電が発生する。この維持放電で短波長の紫外線（波長約147nmのXe共鳴線）が発生し、当該紫外線で蛍光体層9R、9G、9Bが励起され、可視光が発生して画像表示がなされる。当該画像表示は、メーカー統一規格により60フレーム/sec（約16.67ms/フレーム）で構成されるようになっている。

【0029】1フレームは8個のサブフィールドで構成されており、その相対輝度比は基本的に、昇順に1、2、4、8、16、32、64、128のバイナリで重み付けされる。ここでは説明のため初期化期間、書き込み期間、維持期間、消去期間のすべてを有するサブフィールドを挙げているが、実際の1フレームでは相対輝度比の重み付けに対応したサブフィールドのいずれか1つ以上で書き込み期間および維持期間を存在させるように予め定められている。また、0階調表示の重み付けに対応するサブフィールドは、初期化期間と書き込み期間（走査パルスなし）で構成される。

【0030】消去期間では、サステイン電極5に幅の狭い消去パルスを印加し、セル内の壁電荷を消滅させて画面消去させる。

1-3. 本実施の形態1における特徴と効果

ここで、従来のPDP表示装置での低階調表示時（0階調目～8階調目）における表示輝度、フレーム中の各相対輝度比の重み付けに対応したサブフィールドでの書き込み期間および維持期間の有無を図11の表に示す。図中、「1」で示した欄が書き込み及び維持放電を行うサブフィールドである。PDP部はここでは13インチVGA規格のものについて測定しているが、PDP部のサイズ規格が異なる場合については測定数値に若干の違いがある。しかしながら概ね以下の特性が同様に見られるものと考えてよい。

【0031】当図が示すように、0階調表示時における輝度が0.15cd/m²であり、当該0階調表示時では初期化放電のみが発生することから、初期化放電による発光輝度は0.15cd/m²であることがわかる。また1階調表示時（維持パルス数3個）と2階調表示時（維持パルス数7個）の維持パルス数差が4個であり、発光輝度比が1.8cd/m²であることから、維持放電1回あたりの発光輝度が0.45cd/m²であることがわかる。さらに、0階調表示時と1階調表示時の輝度比が2.33cd/m²であることから、書き込み放

電による発光輝度は約 $1.0\text{cd}/\text{m}^2$ であると算出される。

【0032】このように一般的なPDP表示装置では、0階調表示と1階調表示の輝度比が $2.33\text{cd}/\text{m}^2$ もあり、当該輝度比がCRTではほぼ $0\text{cd}/\text{m}^2$ であることと比べると、低階調表示時においてCRTのように滑らかな輝度変化を表現することができない性質がある。これに対して、誤差拡散処理（ディザ法）により擬似的に階調表示時しようとしても、階調がもともと低い理由から誤差拡散ノイズのザラツキ感が目立ってしまい、誤差拡散の有効な効果が得られずにかえって画質が劣化するという新たな問題が発生する。

【0033】そこで本願発明者らが鋭意検討した結果、初期化パルスと書き込み放電による発光輝度が約 $1.2\text{cd}/\text{m}^2$ も得られることに着眼して、図1の駆動波形プロセスに示すように、1フレーム中において相対輝度比が最小の重み付けに対応するサブフィールドは、初期化期間と書き込み期間の2期間で構成し、従来のように表示電極4、5に維持パルスを印加しないものとした。

【0034】ここでは初期化パルス400V、書き込みパルス70V、走査パルス-70V、書き込み期間でのサステイン電極への印加電圧200Vの各値に設定した。これらの各パルス値は従来とほぼ同様の値で設定することができる。なお、これらの値は以降の実施の形態においても同様に設定している。このような駆動波形プロセスによれば、相対輝度比が最小の重み付けに対応するサブフィールドでは、その相対輝度比が $2.33\text{cd}/\text{m}^2$ であった従来に対し、その約 $1/2$ の発光輝度の約 $1.2\text{cd}/\text{m}^2$ （初期化パルスと書き込みパルスによる発光の合計）に抑えることが可能となり、より $0\text{cd}/\text{m}^2$ に近い暗い発光表示を行える。したがって本実施の形態1の低階調表示時においては、誤差拡散処理を用いなくともCRTに迫る滑らかな階調表現が実現できる。

【0035】また本実施の形態1では、相対輝度比が最小の重み付けに対応するサブフィールドにおいて維持パルスを印加しないので、消去期間を必要としない。したがって、消去パルスによる発光も生じない。このため図1に示すように、書き込み期間の後は直ちに次のサブフィールドの初期化期間に移行でき、駆動時間の短縮をも図ることが可能である。これは、例えば初期化パルス、書き込みパルス、走査パルス等のパルス幅を設定する場合に好都合である。

【0036】また、従来は0階調表示および第1階調表示に誤差拡散処理を施すと、誤差拡散ノイズが明るくなって画質が劣化してしまう（ザラツキ感が生じる）傾向が見られたが、本実施の形態1では相対輝度比が最小の重み付けに対応するサブフィールドにおける発光輝度が従来に比べて非常に低いので、誤差拡散処理を行ってもノイズが目立たないという効果も奏される。

【0037】＜実施の形態2＞図2は、実施の形態2における低階調表示時のサブフィールドを示す図である。本

実施の形態2では、重み付けの異なる8個のサブフィールドを有する1フレームにおいて、実施の形態1と同様に初期化期間と書き込み期間の2期間からなるサブフィールドを2つ連続して有する駆動波形プロセスとしている。

【0038】そして、これら2つのサブフィールドのうち、後行のサブフィールド2では実施の形態1と同様にして初期化期間および書き込み期間における各放電を行う。一方、先行するサブフィールド1では、あるフレームでは、相対輝度比が最小の重み付けに対応する低階調表示領域において、図3(a)に示すように隣接セル群を一つおきに点灯させる。そして、これに続く次のフレームでは、図3(b)に示すように、上記低階調表示領域において、上記飛ばして点灯しなかった側のセル群を点灯させる。すなわち本実施の形態2では、連続する2つのフレームで、相対輝度比が最小の重み付けに対応するサブフィールドの表示領域を分担して点灯する構成となる。

【0039】このようにセルを点灯させる具体的な方法としては、以下の方法が挙げられる。画像を制御する信号として、図4に示す「垂直同期信号(a)」、「水平同期信号(c)」、「クロック回路23の同期信号(データクロック)(d)」がある。パネル駆動部20は駆動時にこれらの信号(a)、(c)、(d)を外部的に取り込み、パルス制御装置21において各信号(a)、(c)、(d)がLレベルからHレベルに変化する際に反転するような信号を作成すると、フィールド毎に反転する信号(b)、ライン毎に反転する信号(e)、水平ドット(セル)毎に反転する信号(f)ができる。

【0040】このうちライン毎に反転する信号(e)は垂直同期信号(a)でリセットされ、ドット毎に反転する信号(f)は水平同期信号(c)でリセットされる。この場合「リセットされる」とは、同期信号が入った時点で強制的にLかまたはHレベルにセットされるということである。当図中ではHにセットされる例を示している。ライン毎に反転される信号(e)と、水平ドット毎に反転する信号(f)の排他的論理和を取ると、図5に示す様に市松模様となる。さらにこれとフィールド毎に反転する信号(b)との排他的論理和をとると、フィールド毎に反転する市松パターンが形成される。すなわち、フィールド毎に反転する信号(b)、ライン毎に反転する信号(e)、水平ドット(セル)毎に反転する信号(f)によって、外部より入力される画像データのうち、相対輝度比が最小の重み付けに対応するサブフィールドの表示領域の画像データが、PDP駆動部20のメモリに各市松模様の画像データとして逐次格納され、表示に供されることとなる。

【0041】このようにして本実施の形態2では、1サブフィールドのデータと、図5のように「0」か「1」で構成された市松パターンの論理積をとり、表示領域を点灯する。このとき、使用する市松パターンはフィールド毎に「0」と「1」が反転する。こうすることで1サブフィ

ールドでは、本来発光する輝度の1/2の輝度を疑似的に表現できる。

【0042】なお2サブフィールドでは市松パターンとの論理積をとらない。以上の本実施の形態2によれば、相対輝度比が最小の重み付けに対応するサブフィールドの表示領域で、隣接するセルを市松模様のごとく、フレーム毎に交互に点灯させて見かけの表示領域の発光輝度を全点灯の場合（つまりサブフィールド2における発光輝度より）と比べると、初期化パルスによる発光は同等にあるが、書き込みパルスによる発光は半減させることができる。すなわち本実施の形態2では、相対輝度比が最小の重み付けに対応するサブフィールド1における発光輝度を、初期化パルスによる発光輝度（ 0.15cd/m^2 ）と、書き込み放電による発光輝度（約 1.0cd/m^2 ）の半分（ 0.5cd/m^2 ）の合計の約 0.65cd/m^2 に抑えることが可能である。これは前述した従来の階調表示における発光輝度 2.33cd/m^2 の約1/4の低さであって、本実施の形態2が優れた低階調表示性能を有していることを示すものである。

【0043】また、本実施の形態2では、サブフィールド2における発光輝度も約 1.2cd/m^2 と低く抑えられているので、前記サブフィールド1と合わせて 0cd/m^2 に迫る複数の暗い低階調表示が実現できる。本実施の形態2に誤差拡散処理を組み合わせれば、誤差拡散ノイズはほとんど視認されず、画質の劣化を非常に小さく抑えることができる。

【0044】なお、ここではサブフィールド1において表示領域の隣接セルを連続するフレーム毎に交互に点灯させる例を示したが、本実施の形態2はこの駆動方法に限定するものではなく、セルを数個ずつのセルグループに分け、このセルグループを連続するフレーム毎に交互に点灯させるようにしてもよい。ただし、あまりセル数の多いセルグループを形成すると、表示領域における画像が粗くなるので、PDP部1がハイビジョン型など高精細の場合に特に注意が必要である。

【0045】また本実施の形態2では、本発明の特徴的なサブフィールド1とサブフィールド2のそれぞれの駆動波形プロセスを組み合わせる例を示しているが、本発明はこれらのサブフィールド1および2の組み合わせによる駆動波形プロセスに限定するものではなく、サブフィールド1だけを従来の構成のサブフィールドと組み合わせてもよい。

【0046】さらに、サブフィールド1では、2つの連続するフレームでサブフィールド1の表示領域における隣接セルを交互に点灯する構成としているが、本発明は隣接セルを交互に点灯する場合に限定せず、1個おき、またはそれ以上の数個おきにセルを点灯するようにし、連続する複数のフレームの合計で対応する表示領域をすべて点灯するようにしてもよい。このようにすれば、サブフィールド1当たりの点灯セル数をさらに数分の一まで

減少させることができ、いっそう暗い表示が可能となる。

【0047】＜実施の形態3＞図6は、実施の形態2における低階調表示時のサブフィールドを示す図である。当図に示す本実施の形態3の駆動波形プロセスでは、まず実施の形態1のように相対輝度比が最小の重み付けに対応するサブフィールドを初期化期間と書き込み期間の2期間で構成する。そして、前記サブフィールドに続く次のサブフィールドの初期化期間において、傾斜状の漸増部を有する初期化パルスを印加することを特徴としている。漸増部の具体的な傾斜としては、本願発明者らが実際に測定を行った結果から、その最大傾斜が約 $7.5\text{V}/\mu\text{s}$ とするのがよく、より望ましくは $1\text{V}/\mu\text{s}$ ～ $3.5\text{V}/\mu\text{s}$ 程度の範囲とするのがよいと考えられる。当該初期化パルスの最大値は、従来と同じ 400V 程度でよい。

【0048】このような漸増部を有する初期化パルスを印加する駆動波形プロセスによれば、先行する相対輝度比が最小の重み付けに対応するサブフィールドで発生した放電に起因する壁電荷（特に書き込み期間における書き込み放電で発生した壁電荷）が、次のサブフィールドに持ち越されて誤放電（例えば 0.5cd/m^2 程度）を誘発するのが効果的に防止される。すなわち本実施の形態3では、傾斜状の漸増部を有する初期パルス400によって、先行するサブフィールドより残っていたセル内の壁電荷がゆるやかに初期化され、表示電極4、5間あるいは表示電極4、5とアドレス電極11との間の電位が小さくなるため、突発的な放電の発生が回避される。これにより、相対輝度比が最小の重み付けに対応するサブフィールドと、これに続くサブフィールドにおいて、画像表示のために好ましくない明るい誤放電が発生し、維持期間へ誤放電が持続してしまうのを効果的に回避でき、良好な低階調表示がなされることとなる。

【0049】なお漸増部を有する初期パルスとしては、上記傾斜状の初期化パルス400のパターンに限定するものではなく、例えば図7に示すように、曲線状の漸増部を有する初期化パルス500であってもよい。当図に示す初期化パルス500の場合、その漸増部の曲線は $f(x) = (1 - (1/e)^x)^{1/2}$ で表される関数曲線を利用しており、緩やかな漸増曲線に基づいた初期化パルス500によって、セル内の壁電荷が目立った誤放電を起こすことなくスムーズに初期化されるようになっている。

【0050】また、前記漸増部の曲線としてはこの他にも正弦波形（sinカーブ）・余弦波形（cosカーブ）等の三角関数、および各種指数関数、あるいは高次関数を利用して、緩やかに漸増する関数曲線に基づき形成することもできるが、実際にはオシロスコープや放電確認用の顕微鏡等を用いて、任意の曲線状の漸増部によって、目立った誤放電の発生が効果的に防止されているか否かを確認するのが望ましい。

【0051】なお、前記漸増部の形状としては、この他

に誤放電を行わない範囲で初期化パルスを図8のパルス波形600または図9の指数関数波形700に示すように、急峻に立ち上げる（この場合150V程度に立ち上げる）ことも可能である。このようにすれば、ある程度初期化パルスの幅を小さくすることができるので、駆動時間の短縮を図ることが可能となる利点もある。

＜その他の事項＞本発明の駆動波形プロセスとしては、サブフィールドにおける各パルスをスキャン電極4とサステイン電極5の両方に適宜電圧印加することにより差分波形として形成してもよい。ここで図10の駆動波形プロセスでは、初期化パルス（差分波形400V）を、スキャン電極4への印加電圧200V、サステイン電極5への印加電圧-200Vの合計で構成している。これと同様にして、走査パルスや書き込みパルス、あるいは実施の形態3で示した漸増部を有する初期化パルスを差分波形で構成してもよい。このようにすれば、スキャンドライバ201、サステインドライバ202、アドレスドライバ203に対して、それぞれ個別に給電するときの印加電圧が低くなるので、これらにそれほど高耐圧のドライバICを使わなくても済み、コスト的に有利になるという効果が望める。

【0052】なおPDP駆動時における表示は、上記1フレームを8サブフィールドから構成する例の他、場合によっては1フレームを12サブフィールドで構成して合計256階調を表現することもある。この場合は各サブフィールドの重み付けを昇順に1、2、4、6、10、14、19、26、33、47、53等とする。これは0～7階調までは8サブフィールドからなる1フィールドの場合と同様であるが、8階調目は2サブフィールドと4サブフィールドを点灯させる。さらに重み付けを変えることによって、512階調以上の表示も可能である。本発明はこのようなフレーム構成に適用してもよい。

【0053】

【発明の効果】以上のことから明らかなように、本発明は重み付けの異なる複数のサブフィールドにより1フレームを構成して多階調表示を行うPDP表示装置の駆動方法であって、相対輝度比が最小の重み付けに対応するサブフィールドでは、初期化期間および書き込み期間の2期間の放電を行うことによって表示するので、相対輝度比が最小であるサブフィールドにおける発光輝度は、初期化期間における発光と書き込み期間における発光のみで表示することになり、維持期間および消去期間における各放電が不要になる。このことから本発明では、相対輝度比が最小であるサブフィールドにおける発光輝度が、従来に比べて1/2程度と飛躍的に低く抑えられるので、これに基づいて合計256階調のうち、0階調から1階

調表示時における低階調の変化を滑らかに表示することができる。

【図面の簡単な説明】

【図1】実施の形態1の駆動波形プロセスを示す図である。

【図2】実施の形態2の駆動波形プロセスを示す図である。

【図3】実施の形態2のPDP部における発光表示領域を示す模式図である。

【図4】PDP駆動部に入力される各種信号波形と、実施の形態2においてパルス制御装置が発生する各種信号波形を示す図である。

【図5】実施の形態2の発光表示領域の形成過程を示す図である。

【図6】実施の形態3の駆動波形プロセスを示す図である。

【図7】実施の形態3の駆動波形プロセス（バリエーション）を示す図である。

【図8】実施の形態3の駆動波形プロセス（バリエーション）を示す図である。

【図9】実施の形態3の駆動波形プロセス（バリエーション）を示す図である。

【図10】本発明の駆動波形プロセスのバリエーションを示す図である。

【図11】従来のPDP表示装置における階調表示と重み付けの関係を示す図である。

【図12】PDP部の構成を示す断面斜視図である。

【図13】表示電極とアドレス電極との配列を示す模式図である。

【図14】PDP駆動回路の構成を示す図である。

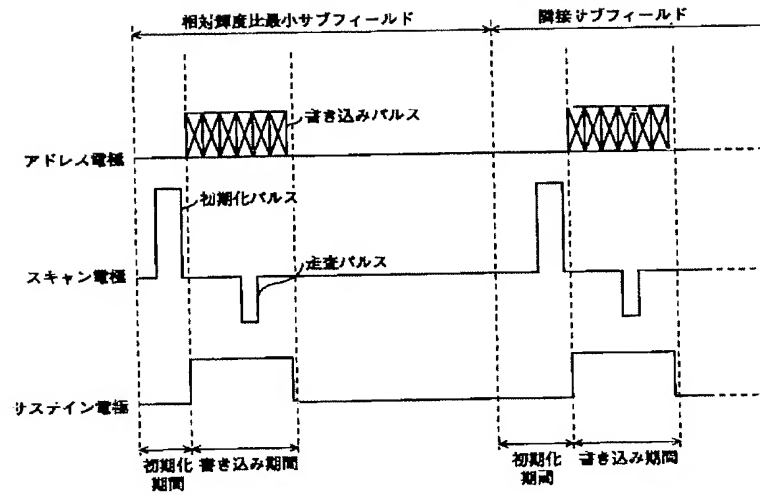
【図15】従来のPDP部の駆動波形プロセスを示す図である。

【図16】1フレーム（フィールド）中におけるサブフィールドの構成を示す図である。

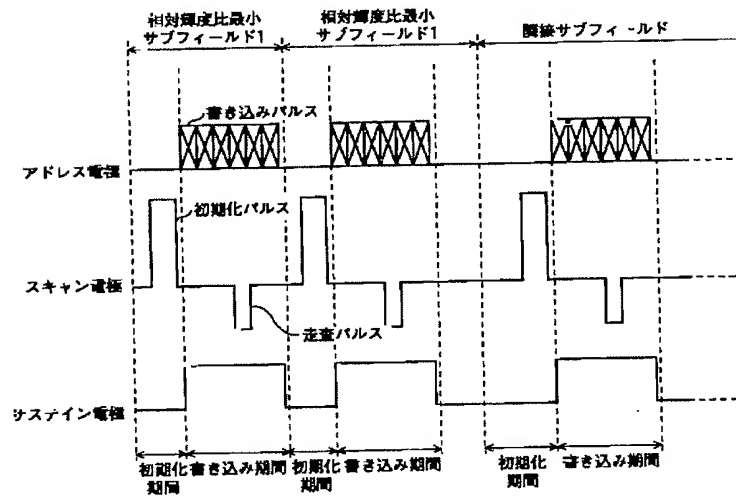
【符号の説明】

- 1 PDP部
- 4、5 表示電極
- 11 アドレス電極
- 20 パネル駆動部
- 21 維持パルス発生タイミング制御装置
- 22 クロック回路
- 201 スキャンドライバ
- 202 サステインドライバ
- 203 アドレスドライバ

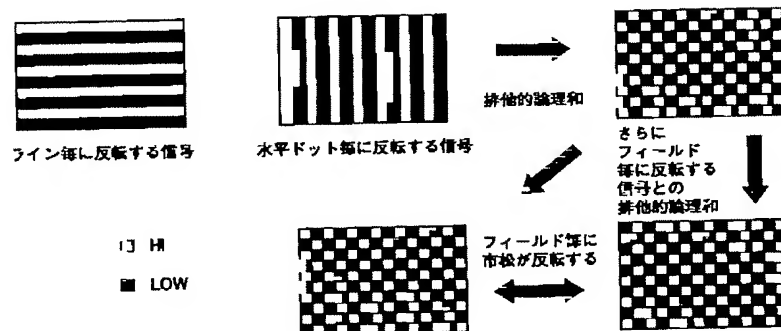
【図1】



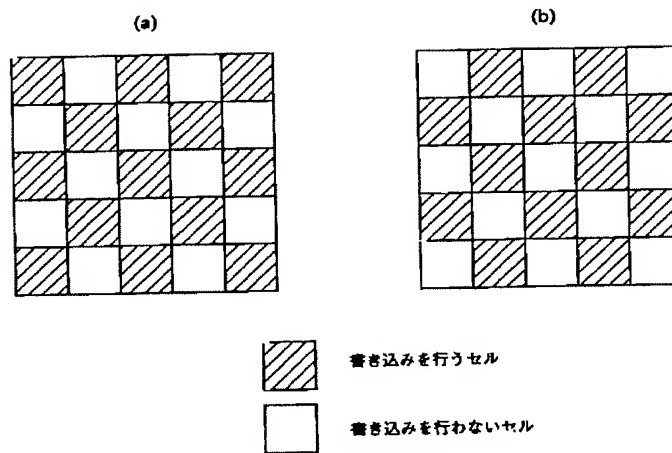
【図2】



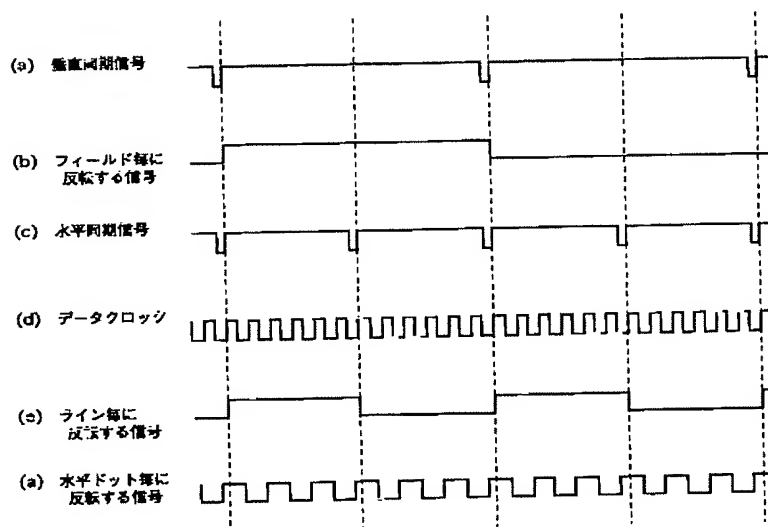
【図5】



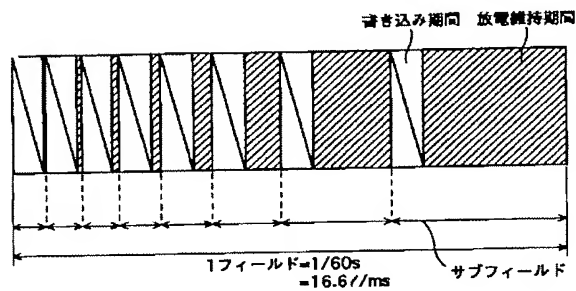
【図3】



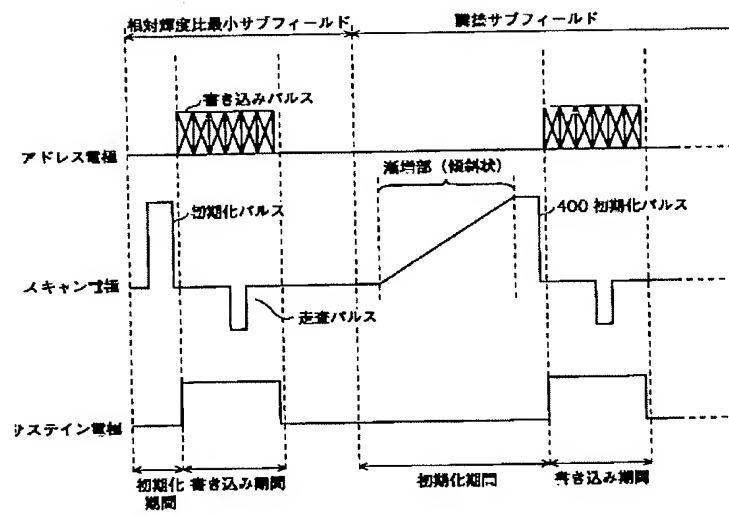
【図4】



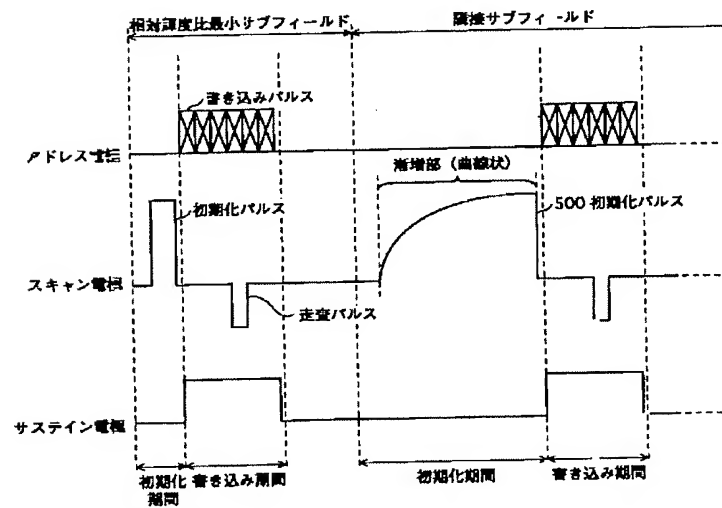
【図16】



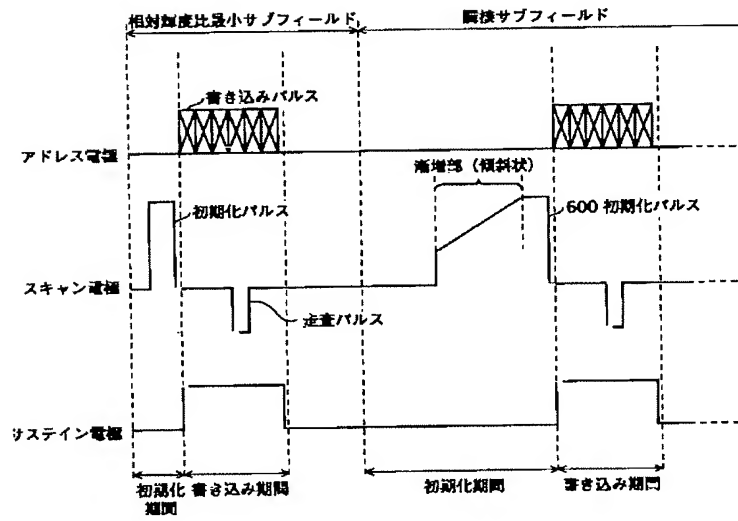
【図6】



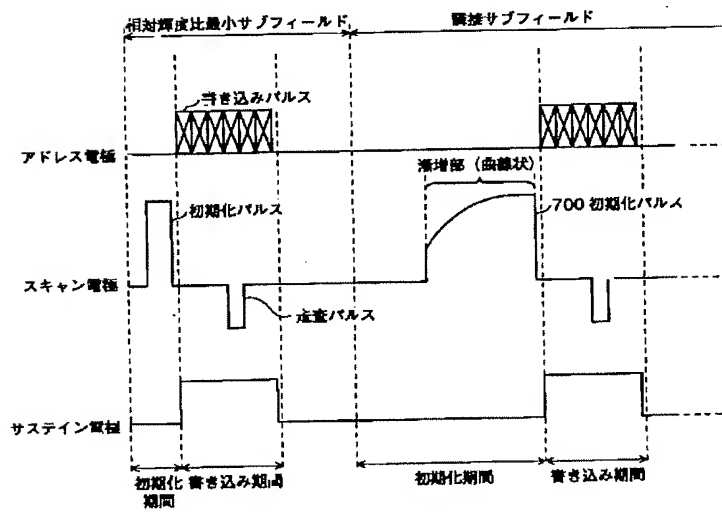
【図7】



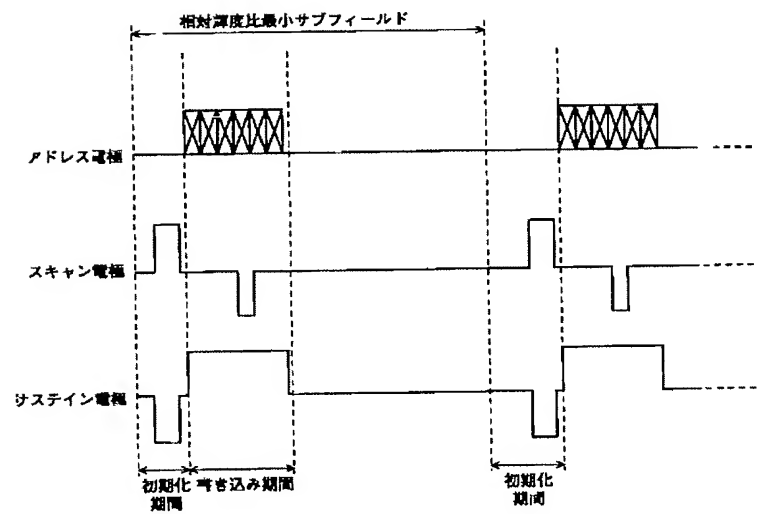
【図8】



【図9】



【図10】



【図11】

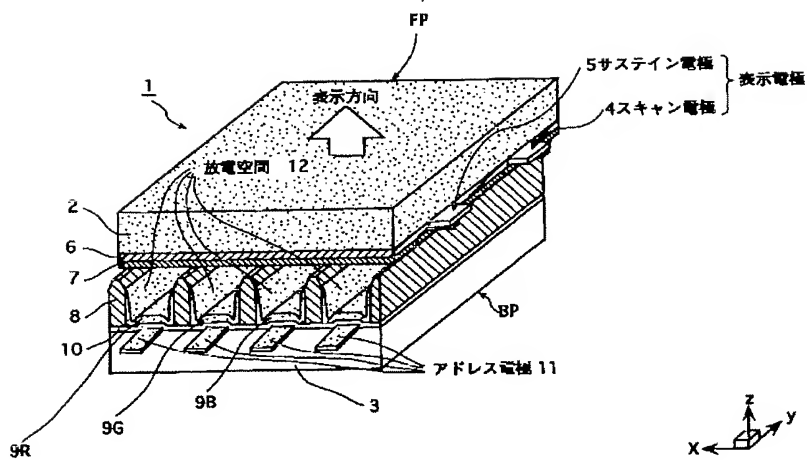
重み付け	1	2	4	8	16	32	64	128	表示輝度[cd/m ²]
0階調目									0.15
1階調目	1								2.49
2階調目		1							4.29
3階調目	1	1							6.62
4階調目			1						7.89
5階調目	1		1						10.22
6階調目		1	1						12.02
7階調目	1	1	1						14.36
8階調目				1					15.09
:									:

1

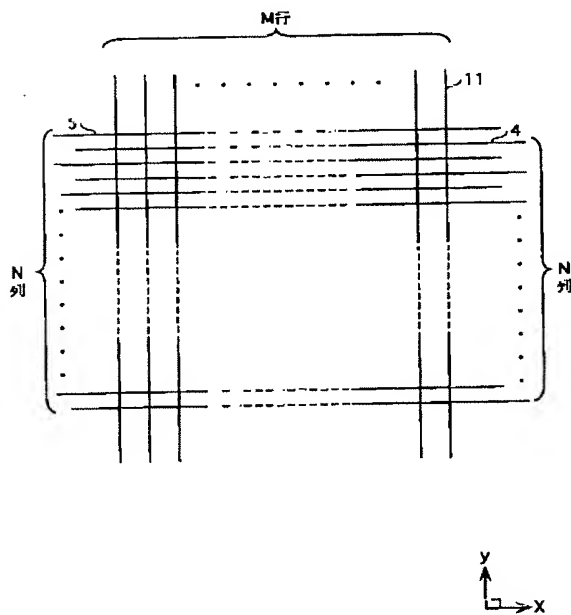
: 書き込みおよび維持放電を行うサブフィールド

: 書き込みおよび維持放電を行わないサブフィールド

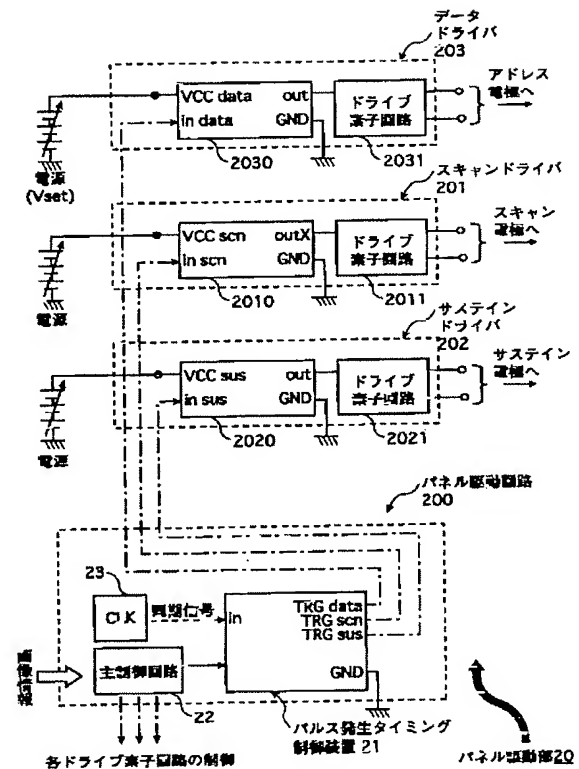
【图 12】



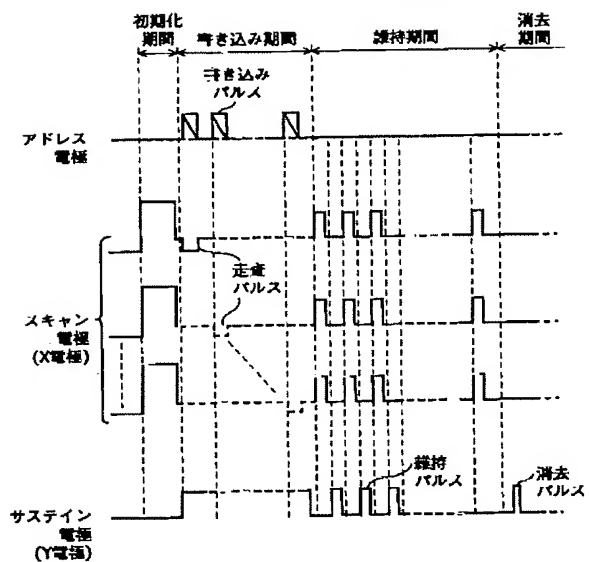
【图 13】



【図14】



【図15】



フロントページの続き

(51)Int. Cl.⁷
H04N 5/66

識別記号
101

F I
G 0 9 G 3/28

K

(参考)